

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-231220

(43)Date of publication of application : 15.10.1991

(51)Int.Cl.

G02F 1/015

(21)Application number : 02-025920

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 07.02.1990

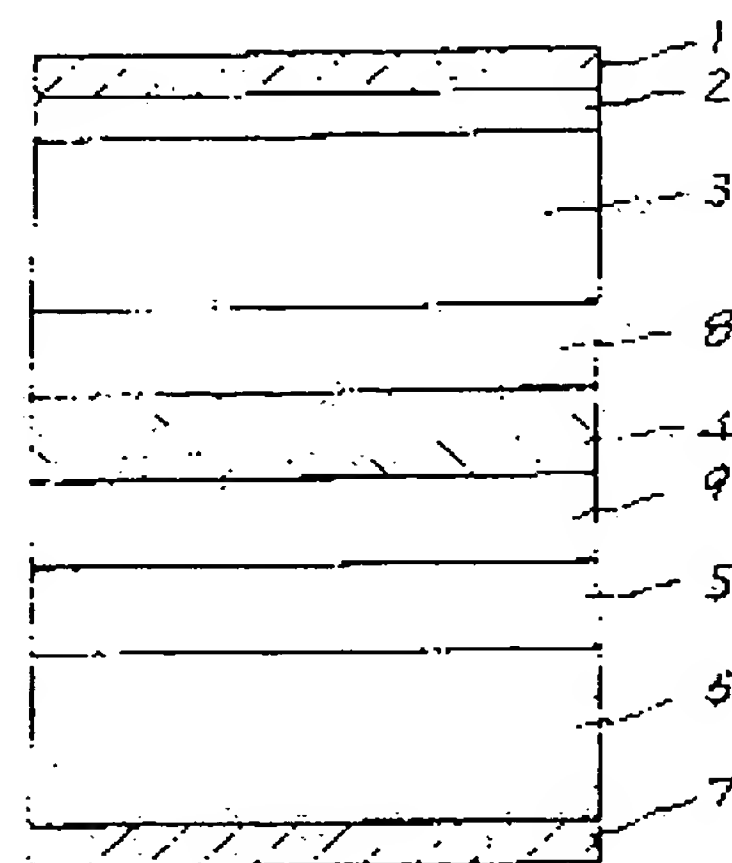
(72)Inventor : ASAI HIROMITSU
KAWAMURA YUICHI
WAKITA KOICHI
ODAKA ISAMU
MITOMI OSAMU
KONO KENJI

(54) OPTICAL SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the performance of a device and to reduce driving voltage by laminating a clad layer having a high impurity concn. and an electric field applied layer having a low impurity concn. and by interposing a semiconductor layer having a high impurity concn. and a band gap equal to or wider than that in the electric field applied layer and narrower than that in the clad layer between the laminated layers.

CONSTITUTION: A first semiconductor layer 5 as a clad layer of first electric conduction type having a high impurity concn., a second semiconductor layer 4 as an electric field applied layer having a low impurity concn. and a third semiconductor layer 3 as a clad layer of second electric conduction type having a high impurity concn. are laminated on a semiconductor substrate 6 of the first electric conduction type. A fourth semiconductor layer 9 of the first electric conduction type having a high impurity concn. is interposed between the layers 5, 4 and/or a fifth semiconductor layer 8 of the second electric conduction type having a high impurity concn. is interposed between the layers 4, 3. Since the resulting device has such a structure as to prevent the accumulation of electrons or positive holes in the electric field applied layer, the light absorbing characteristics can be improved and driving voltage can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-231220

⑬ Int. Cl.⁵
G 02 F 1/015

識別記号

庁内整理番号
8106-2H

⑭ 公開 平成3年(1991)10月15日

審査請求 未請求 請求項の数 5 (全8頁)

⑮ 発明の名称 半導体光素子

⑯ 特 願 平2-25920

⑰ 出 願 平2(1990)2月7日

⑱ 発 明 者 浅 井 裕 充 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 河 村 裕 一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 発 明 者 脇 田 紘 一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉑ 発 明 者 小 高 勇 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉒ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉓ 代 理 人 弁理士 杉村 暁秀 外1名

最終頁に続く

明 細 書

1. 発明の名称 半導体光素子

2. 特許請求の範囲

1. 第1の導電型の半導体基板上に、

(a) 第1の導電型で高不純物濃度のクラッド層となる第1の半導体層と、

(b) 低不純物濃度の電界印加層となる第2の半導体層と、

(c) 第2の導電型で高不純物濃度のクラッド層となる第3の半導体層と

からなる光導波路型素子において、

(a)と(b)との間に第1の導電型で高不純物濃度の第4の半導体層か、(b)と(c)の間に第2の導電型で高不純物濃度の第5の半導体層かの少なくともいずれか一方を挿入することを特徴とする半導体光素子。

2. 特許請求の範囲第1項記載の半導体光素子において、第4、第5の半導体層のバンドギャップが、電界印加層の第2の半導体層と同じであることを特徴とする半導体光素子。

3. 特許請求の範囲第1項記載の半導体光素子において、第4、第5の半導体層のバンドギャップが、電界印加層の第2の半導体層のそれより大きく、かつクラッド層の第1、第3の半導体層のバンドギャップより小さいことを特徴とする半導体光素子。

4. 特許請求の範囲第1または3項記載の半導体光素子は、第4、第5の半導体層のバンドギャップが、電界印加層からクラッド部に向かって連続的に増加していることを特徴とする半導体光素子。

5. 特許請求の範囲第1または2または3または4項記載の半導体光素子において、素子を構成する各半導体層の一部もしくはすべてが、超格子構造または多重量子井戸構造であることを特徴とする半導体光素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、光通信または光情報処理の分野で利用される、高速応答、低駆動電圧の光変調器、光

検出器、光増幅器等の半導体光素子に関するものである。

(従来の技術)

従来使われている半導体光検出器、光変調器の基本構造では、高不純物濃度のp型n型のクラッド層の間にノンドープの電界印加層が配置されている。そして外部から電界印加層に電界を加えることによって、光の変調、検出等の光機能を可能にしている。このタイプの素子では、駆動電圧を低減したり、電界印加層に均一に電界を印加したりすることができることは、素子の性能を決める重要な要因となる。しかし、従来型の構造では、その構造上、外部電圧を電界印加層に有効に印加できず、かつその電界分布も不均一であった。

そのことを、InGaAs/InAlAs系材料の多重量子井戸層(MQW層)を電界印加層とした従来の吸収型光変調器を例にとりて、第10図を用いて以下に説明する。第10図において、1はp側電極(Au-Zn-Ni)、2はp型のInGaAsキャップ層、3はp型のInAlAsクラッド層、4はInGaAs/InAlAs MQW電

ここでInAlAsクラッド層は、InGaAs電界印加層のバンドギャップより大きく、高濃度不純物層であるので、InAlAs層近傍のInGaAs電界印加層内に電子または正孔が変調ドーパされることになる。しかも、この変調ドーパされた電子、正孔は、クラッド層内に形成された厚い三角ポテンシャルに阻まれ、容易にn電極、p電極に抜けることができない。この時のバンド図を第12図に示す。

図中の E_F はフェルミエネルギーを示す。第12図からわかるように、MQW電界印加層内の電界は、蓄積された電子、正孔のために極めて不均一になっている。このことは、第11図に示した吸収スペクトルをブロードにする。また、蓄積された電子、正孔自体のために励起子がスクリーニングされて、やはり吸収スペクトルをブロードにする。さらに、電極1、7に逆バイアスをかけた場合(すなわち、素子の駆動時)、蓄積された電子または正孔により外部電界が遮蔽され、InGaAs電界印加層に電界が有効にかからず、駆動電圧の上昇をもたらす。

いずれにしても、従来構造の吸収型変調器の場

界印加層、5はn型のInAlAsクラッド層、6はn型のInP基板、7はn側電極(Au-Ge-Ni)である。

第11図は、この素子の動作原理を説明するための図であって、(a)は電界印加層内の一つの量子井戸のバンド図であり、(b)は吸収スペクトルを示す図である。

一般に、量子井戸層の伝導帯と価電子帯内には、それぞれ電子(B1)および正孔(HH1とLH1)のサブバンドが形成され、対応するB1-HH1、B1-LH1の励起子吸収を含むバンド間吸収は、図に示すようなスペクトルとなる。なお図中のFは電界を示す。このサブバンドレベルは、外部電界に応じて変化する(これは量子閉じ込めシュタルク効果と言われる)が、それを受けて吸収スペクトルも長波長側にシフトする。したがって、波長 λ の光は、電界を変化させることによって、強度変調を受けることになる。実際の変調器は、第10図で示したように、吸収強度を稼ぐために量子井戸を多層にし、かつ光の閉じ込めのために、InAlAsクラッド層3、5が配置されている。

合、不均一電界と蓄積された電子、正孔による吸収スペクトルのブロードニング(素子性能劣化)と、外部電界遮蔽による駆動電圧の上昇という問題があった。

(発明が解決しようとする課題)

本発明は、クラッド層と電界印加層の界面に電子、正孔を蓄積させない構造を提案し、素子性能の大幅な改善と駆動電圧の低減を図った半導体光素子を提供することにある。

(課題を解決するための手段)

本発明の半導体光素子は、高不純物濃度のクラッド層と低不純物濃度の電界印加層の間に、高不純物濃度で電界印加層のバンドギャップと同じ、またはそれ以上、かつクラッド層のそれ以下のバンドギャップを有する半導体層を挿入する。

従来の技術とは、電界印加層の界面に電子、正孔を蓄積させない構造となっていることが異なる。

(実施例)

以下、InGaAs/InAlAs材料系を例にとりて、本発明の実施例を図面を参照して詳細に説明する。

第1図は、本発明の実施例（実施例1）の構造を示す。従来例（第10図）と異なるのは、3と4、4と5の間に電界印加層4と同じ構造のp型InGaAs/InAlAs MQW層8とn型のInGaAs/InAlAs MQW層9が挿入されている点である。この素子のバンド図を第2図に示す。

第2図からわかるように、電界印加層であるノンドープMQW層内には電子、正孔の蓄積した部分はなく、一様に電界がかかっていることがわかる。3と8、9と5の間は、若干の電子、正孔の蓄積があるが、もともとMQW層8、9は電界をかけない層であるので問題はない。また、3と8、9と5の界面におけるクラッド層3、5のポテンシャルのノッチの幅はきわめて薄く、トンネル効果によって電子、正孔は伝導可能であって、この部分に不図な外部電界がかかることはない。MQW層8、9は、4と同じMQW構造を持っていたとしても、高濃度に不純物がドーパされている、バンドフィリング効果によって実行的なバンドギャップが4より大きくなる。このため8と9の層を入れたことによ

る光の損失はない。そればかりか、8と9の層を入れたことにより、光に対するコア部が実質的に厚くなり、ファイバとの結合効率を増大させる効果もある。

本発明の実際の素子における、吸収電流の電界依存性を第3図に示す。

また比較のために、従来型の素子の吸収電流の電界依存性も第4図に示す。従来型の素子は、励起子スペクトルがブロードで、-2Vで吸収電流の飽和がみられ、-4Vになってようやく電界シフトが起こる。一方、本発明の素子の吸収電流スペクトルは、励起子吸収がシャープであり、逆バイアス-1Vですでに吸収電流の飽和がみられ、かつ励起子吸収が大きくシフトしており、大幅な駆動電圧の低減が図られていることがわかる。

これまで、電界印加層4の両側に、8と9のp型、n型の高不純物濃度を有するMQW層を配置した構造で説明してきたが、片側だけでも十分同じ効果を得ることができる。また、4、8、9の層は、MQW層ではなくバルク半導体層でも、同様な

効果が得られることは言うまでもない。逆に、3、5のクラッド層が超格子構造をなしていてもよい。

第5図は、本発明の他の実施例（実施例2）の構造を示す図で、今回はバルクタイプの吸収型変調器で説明する。第5図において、10はp型のInGaAlAs層、11はInGaAs電界印加層、12はn型InGaAlAs層である。この構造では、3と5のInAlAsクラッド層のバンドギャップより小さく、InGaAsコア層11のバンドギャップより大きい材料であるInGaAlAsで10と12を構成していることが特徴である。

そのときのバンドの概略図を、第6図に示す。10と11、および11と12の界面に若干の電子、正孔の蓄積がみられるが、従来型の構造に比べ、10と11、11と12のバンド不連続が小さいので、蓄積する電子、正孔の量はきわめて少ない。このため、本発明の実施例1で説明した同じ効果が期待できる。

また、10と12の層は、第7図に示すように、多層のInGaAlAsで構成してもよい。さらに、この構

造は、分離光閉じ込め構造（SCH構造）をなしており、光閉じ込め係数の増大、導波光スポットの増加による結合率の増大という効果もある。

これまで、電界印加層11の両側に、10と12を配置した構造で説明してきたが、片側だけでも十分同じ効果を得ることができる。また、10、11、12の層は、MQW層でも同様な効果が得られることは言うまでもない。

第8図は、本発明の他の実施例（実施例3）の構造を示す図である。第8図において、13はp型のInGaAlAsで、その組成が、InAlAsクラッド層3の近傍ではInAlAsと同じで、そこから連続に変化しInGaAs電界印加層11の近傍ではInGaAsと同じになるよう調整されている。またn型のInGaAlAs層14も同様にその組成が調整されている。このときのバンドの概略図を第9図に示す。

第9図では、13と14のバンドギャップが直線的に変化する場合を示しているが、連続的にバンドギャップが変化していればよい。13と11、11と14はバンドが連続しているので、当然それらの界面

に電子、正孔が蓄積されることはない。このため、本発明の実施例1で説明した同じ効果が期待できる。さらに、この構造は、屈折率分布分離光閉じ込め構造 (GRIN-SCH構造) をなしており、実施例2よりさらに光閉じ込め係数の増大を図ることができ、導波光スポットの増加による結合効率の増大という効果もある。

これまで、電界印加層11の両側に、13と14を配置した構造で説明してきたが、片側だけでも十分同じ効果を得ることができる。また、13、11、14の層は、MQW層でも同様な効果が得られることは言うまでもない。

以上説明した本発明のすべての実施例では、MQW、バルクの吸収型変調器を例にしたが、本発明の構造は、位相変調器、受光器などの導波路型の光素子でも、同様な効果によって、一様な電界印加と、駆動電圧の低減とを図ることができることは、言うまでもない。

さらに、本発明の実施例では、InGaAs/InAlAs系材料で説明したが、GaAs/AlGaAs、GaAs/InGaP、

InP/InGaAs等のⅢ-V族半導体およびその混晶系、ZnSe/GaAs等のⅡ-VI族半導体とその混晶系でも実現できる。

(発明の効果)

以上説明したように、本発明の導波形の半導体光素子は、電界印加層に電子、正孔を蓄積させない構造を有しており、このため、光吸収特性の大幅な向上と駆動電圧の大幅な低減を図ることができるという利点がある。

4. 図面の簡単な説明

第1図は本発明の実施例1の構造を示す図、

第2図は本発明の実施例1のバンド図、

第3図は本発明の実施例1の吸収電流の電界依存性を示す図、

第4図は従来素子の吸収電流の電界依存性を示す図、

第5図は本発明の実施例2の構造を示す図、

第6図は本発明の実施例2のバンドの概略図、

第7図は多層 $\text{In}_{1-x-y}\text{Ga}_x\text{Al}_y\text{As}$ 挿入型の実施例2のバンドの概略図、

第8図は本発明の実施例3の構造を示す図、

第9図は本発明の実施例3のバンドの概略図、

第10図は従来の吸収型光変調器の構造を示す図、

第11図は第10図に示す吸収型光変調器の動作原理を説明するための図であって、(a)は量子井戸のバンド図、(b)は吸収スペクトルを示す図、

第12図は第10図に示す吸収型光変調器の構造のバンド図である。

1…p側電極 (Au-Zn-Ni)

2…p型のInGaAsキャップ層

3…p型のInAlAsクラッド層

4…ノンドープのInGaAs/InAlAs MQW電界印加層

5…n型のInAlAsクラッド層

6…n型のInP基板

7…n側電極 (Au-Ge-Ni)

8…p型のInGaAs/InAlAs MQW層

9…n型のInGaAs/InAlAs MQW層

10…p型のInGaAlAs層

11…ノンドープのInGaAs電界印加層

12…n型のInGaAlAs層

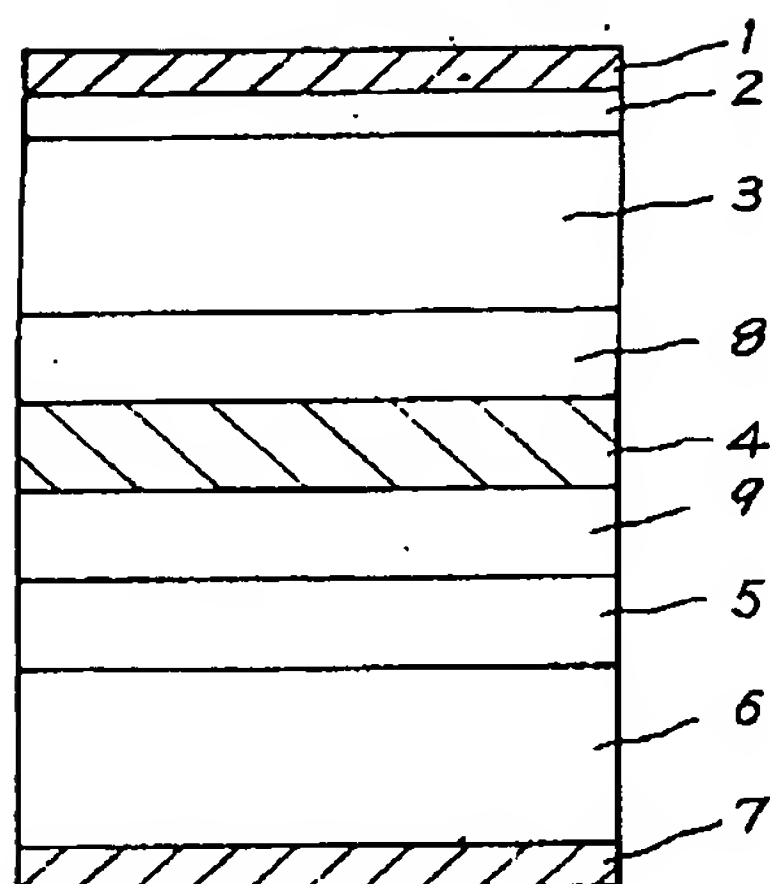
13…p型のInGaAlAs層

特許出願人 日本電信電話株式会社

代理人 弁理士 杉 村 暁 秀

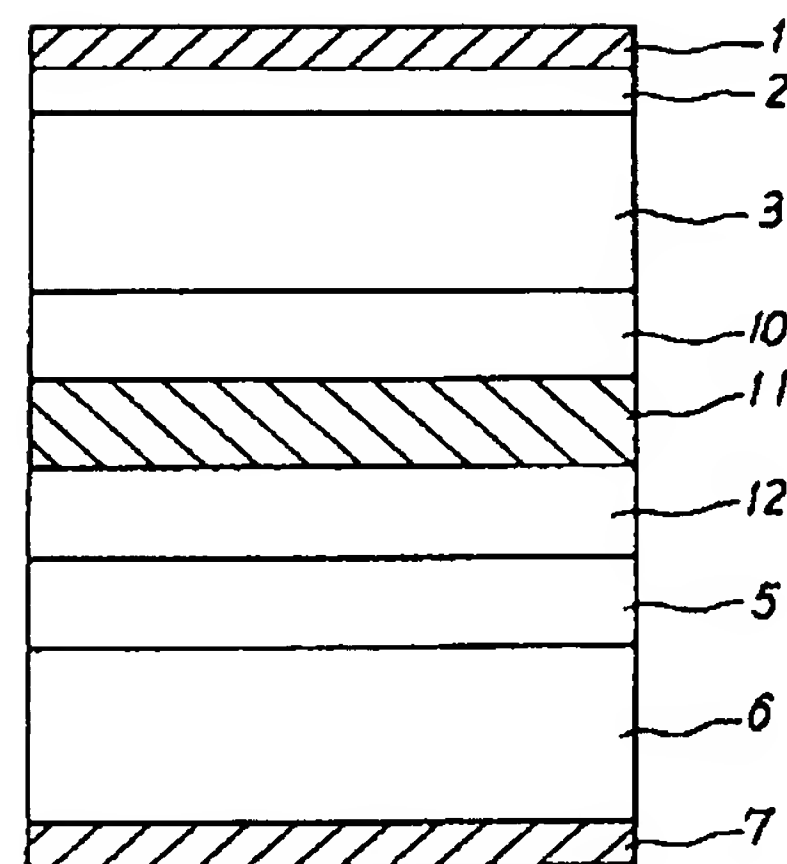
同 弁理士 杉 村 興 作

第 1 図



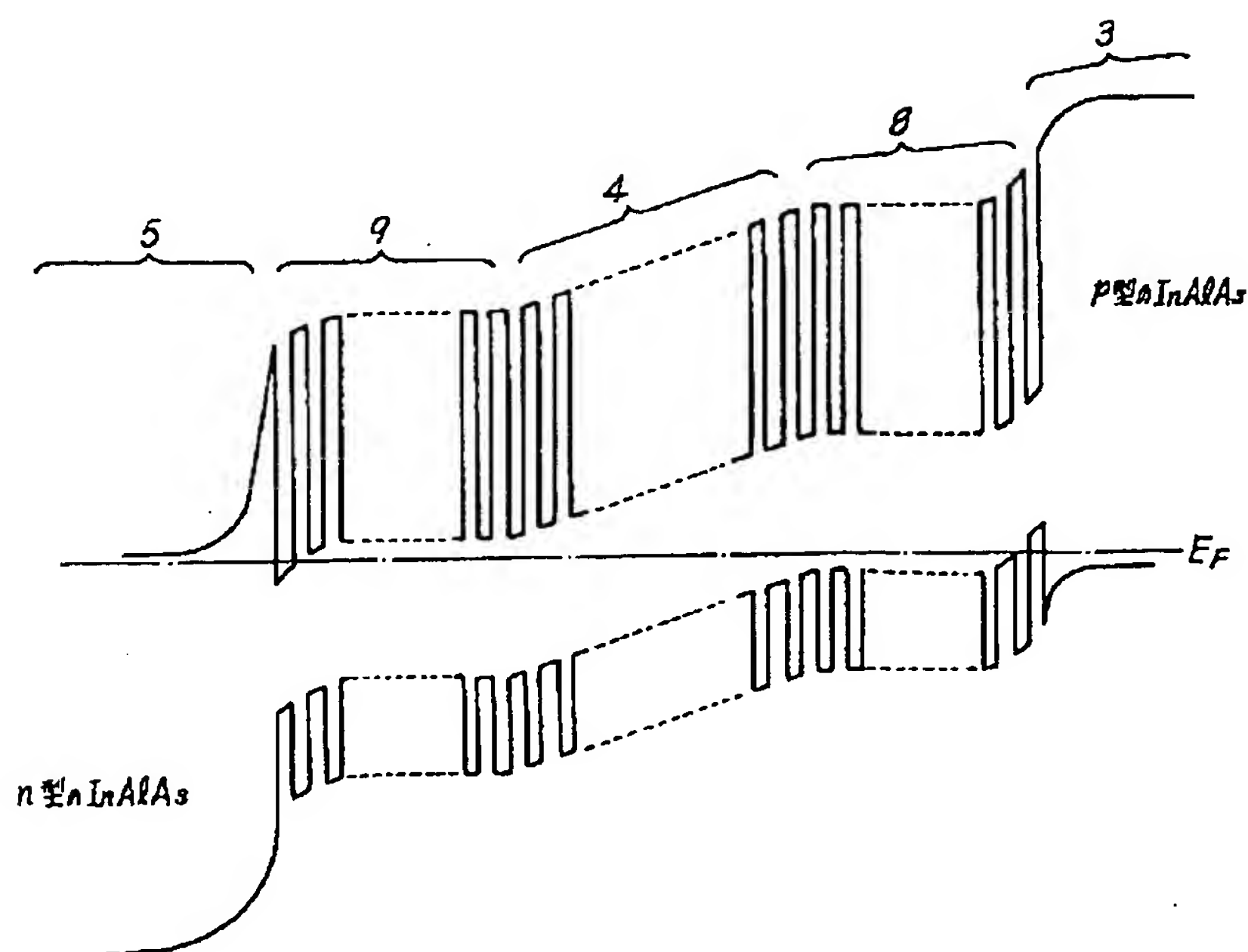
- 1 ... p 側電極 (Au-Zn-Ni)
 2 ... p 型の InGaAs キャップ層
 3 ... p 型の InAlAs クラッド層
 4 ... p 型の InGaAs/InAlAs MQW 電界印加層
 5 ... n 型の InAlAs クラッド層
 6 ... n 型の InP 基板
 7 ... n 側電極 (Au-Ge-Ni)
 8 ... p 型の InGaAs/InAlAs MQW 層
 9 ... n 型の InGaAs/InAlAs MQW 層

第 5 図

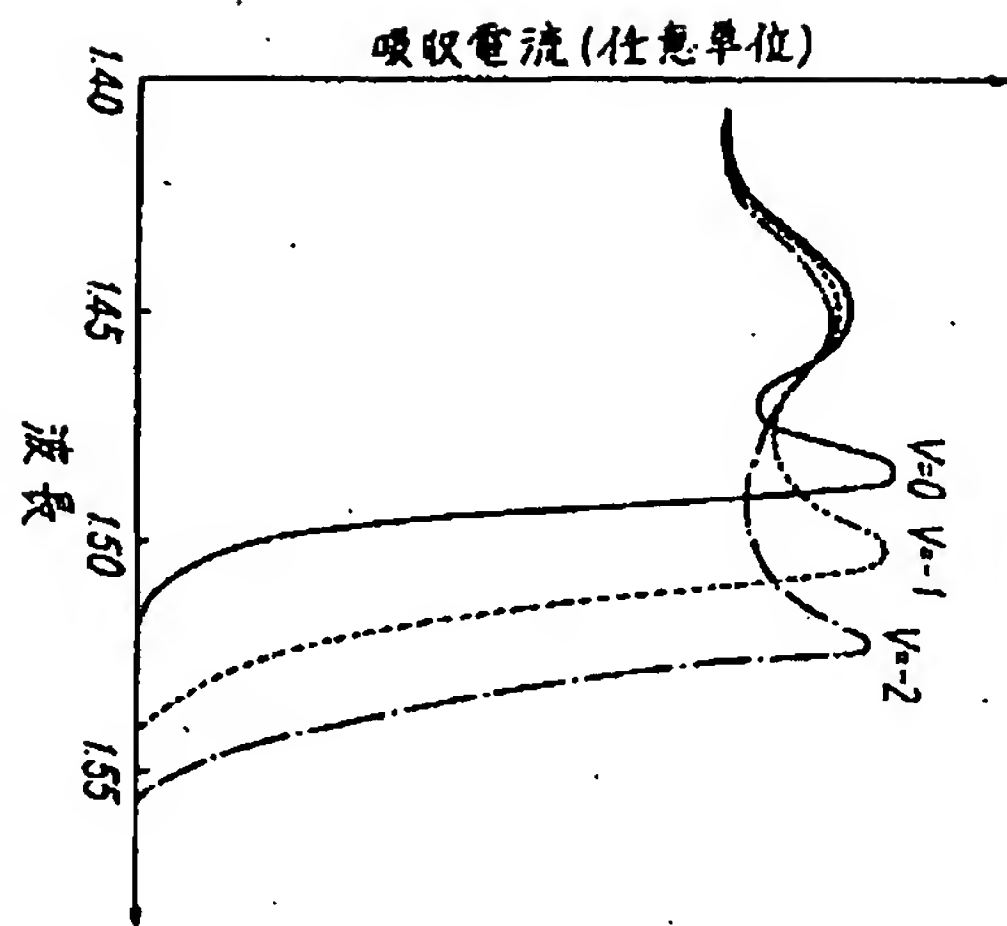


- 10 ... p 型の InGaAlAs 層
 11 ... p 型の InGaAs/InAlAs 電界印加層
 12 ... n 型の InGaAlAs 層

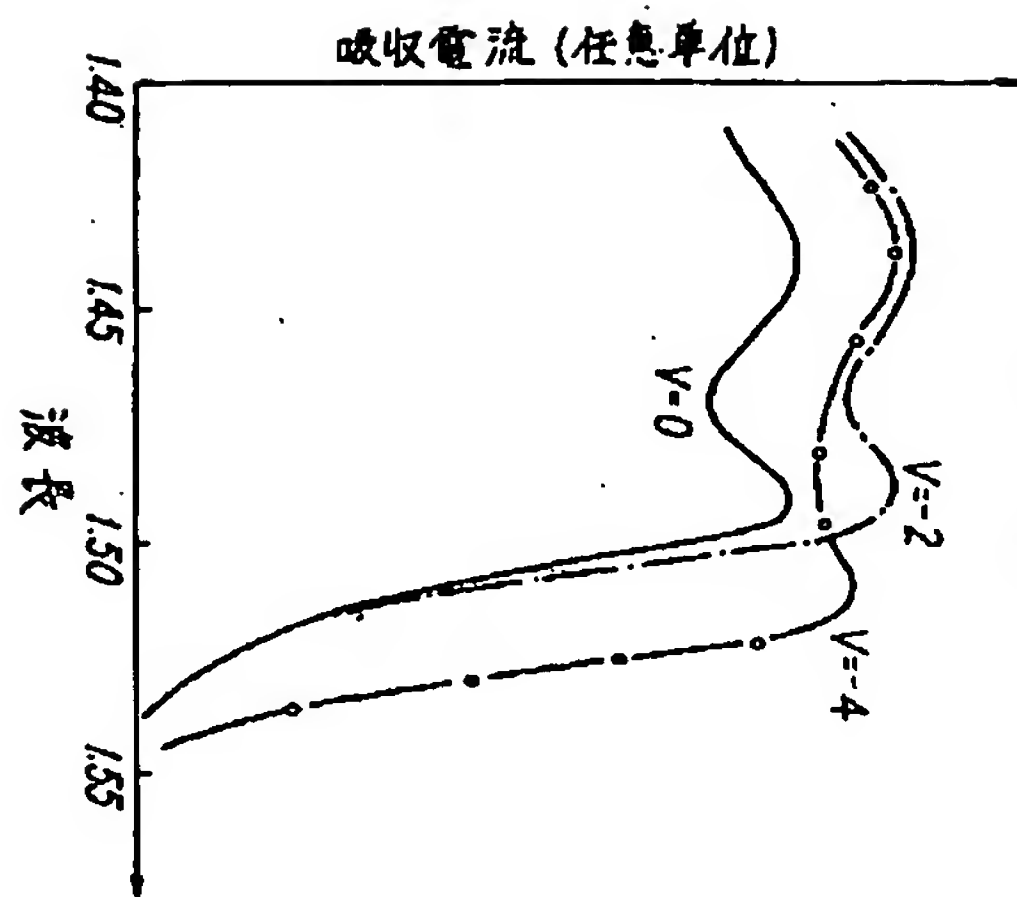
第 2 図



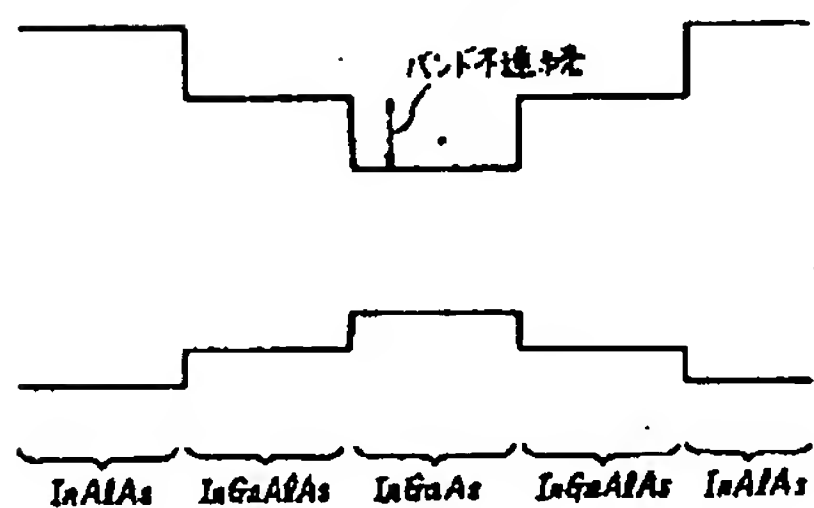
第 3 図



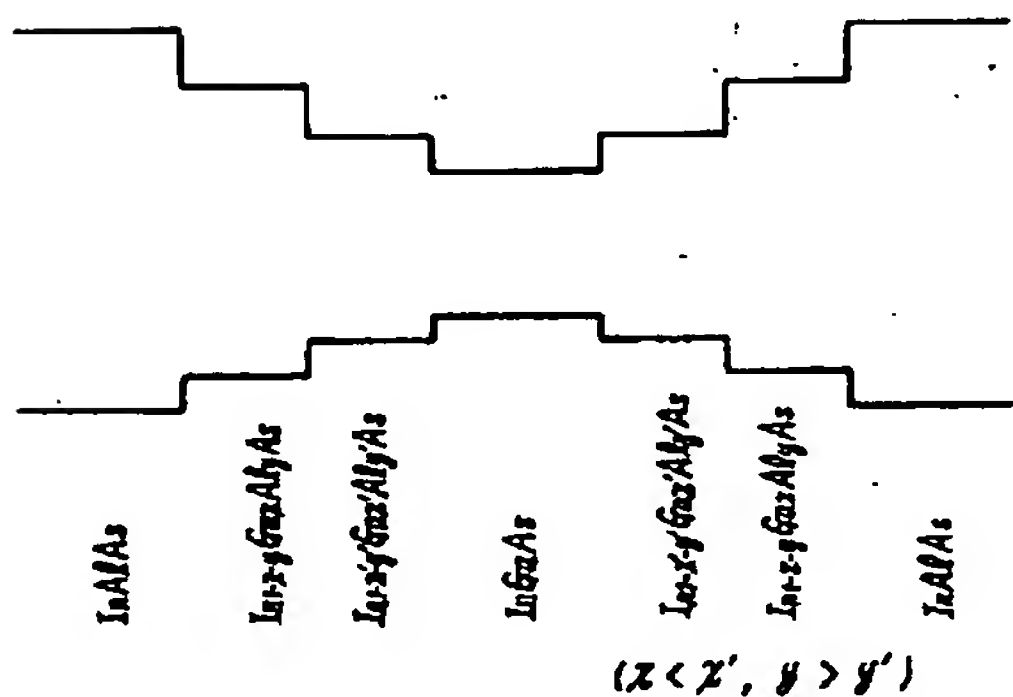
第 4 図



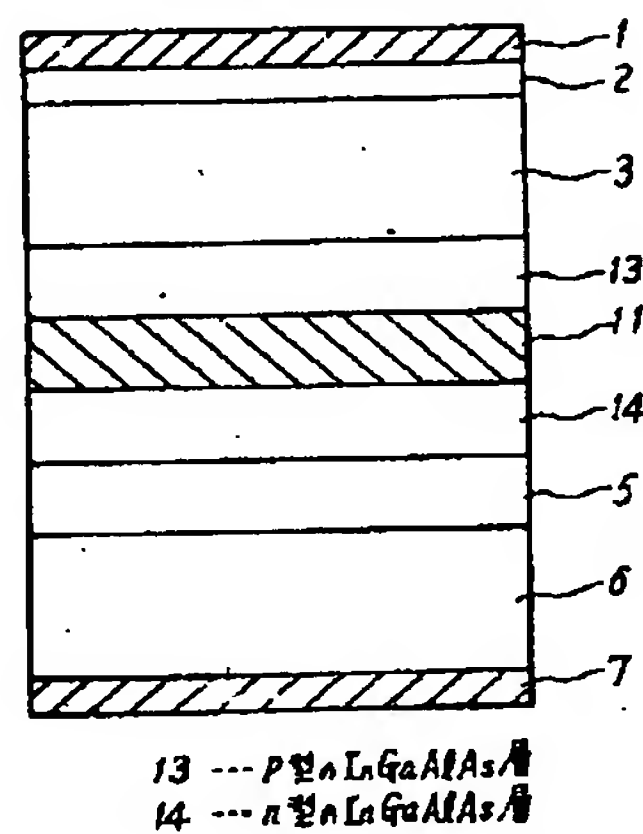
第 6 図



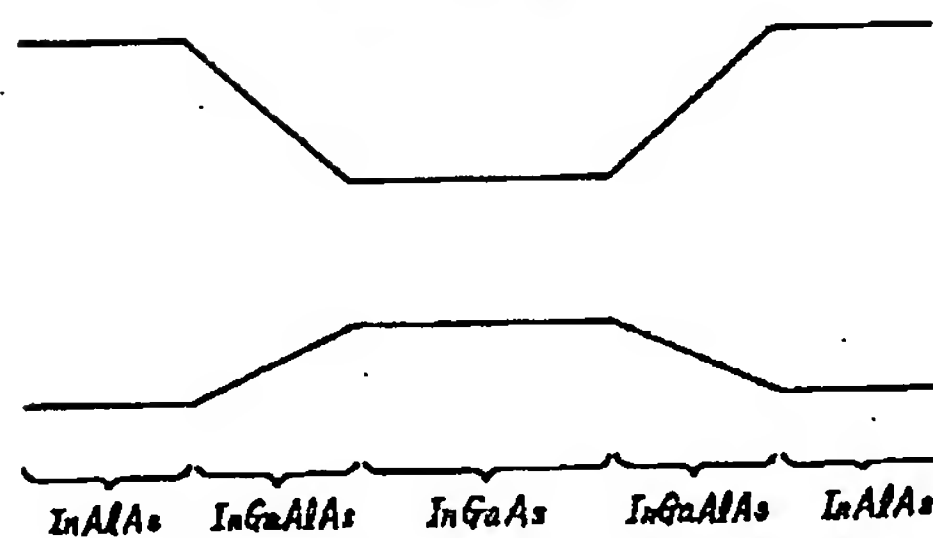
第 7 図



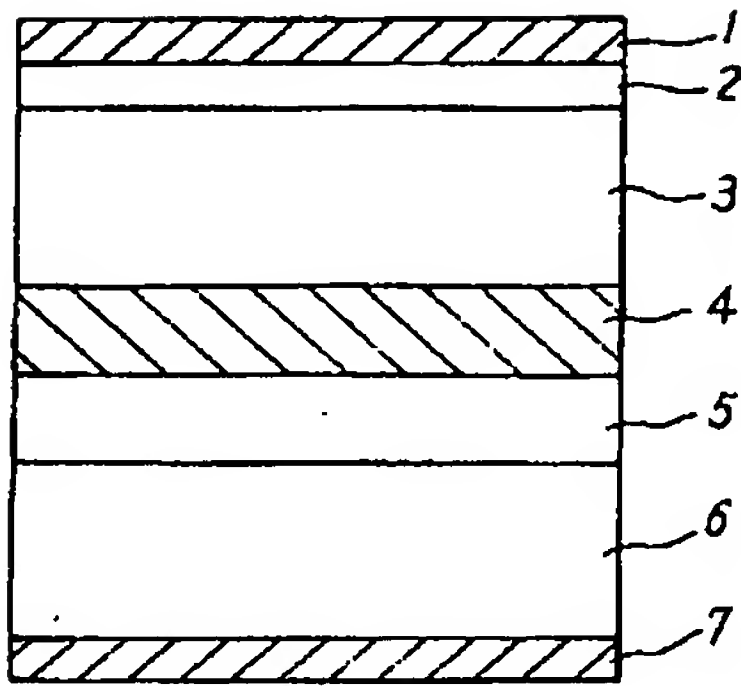
第 8 図



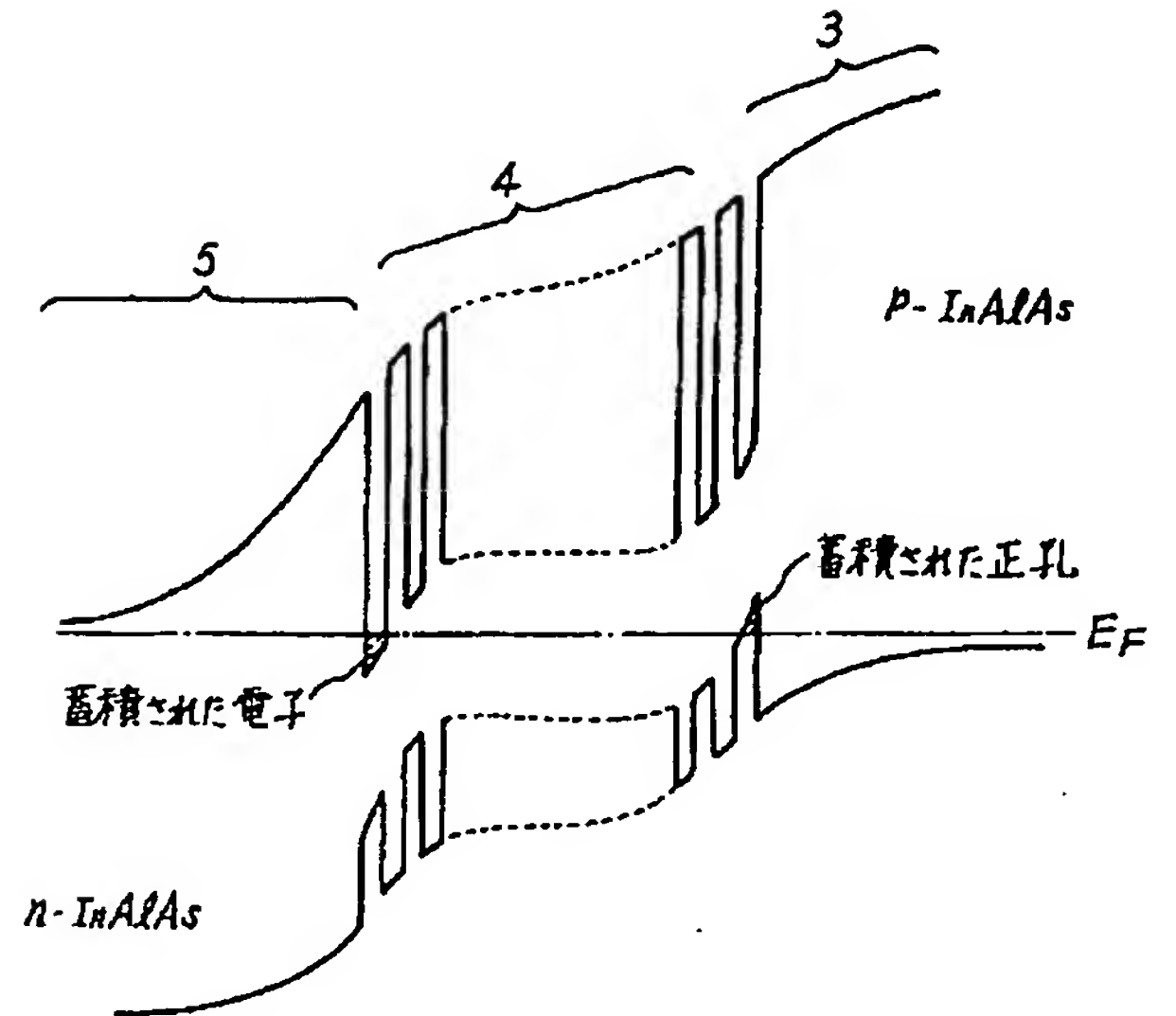
第 9 図



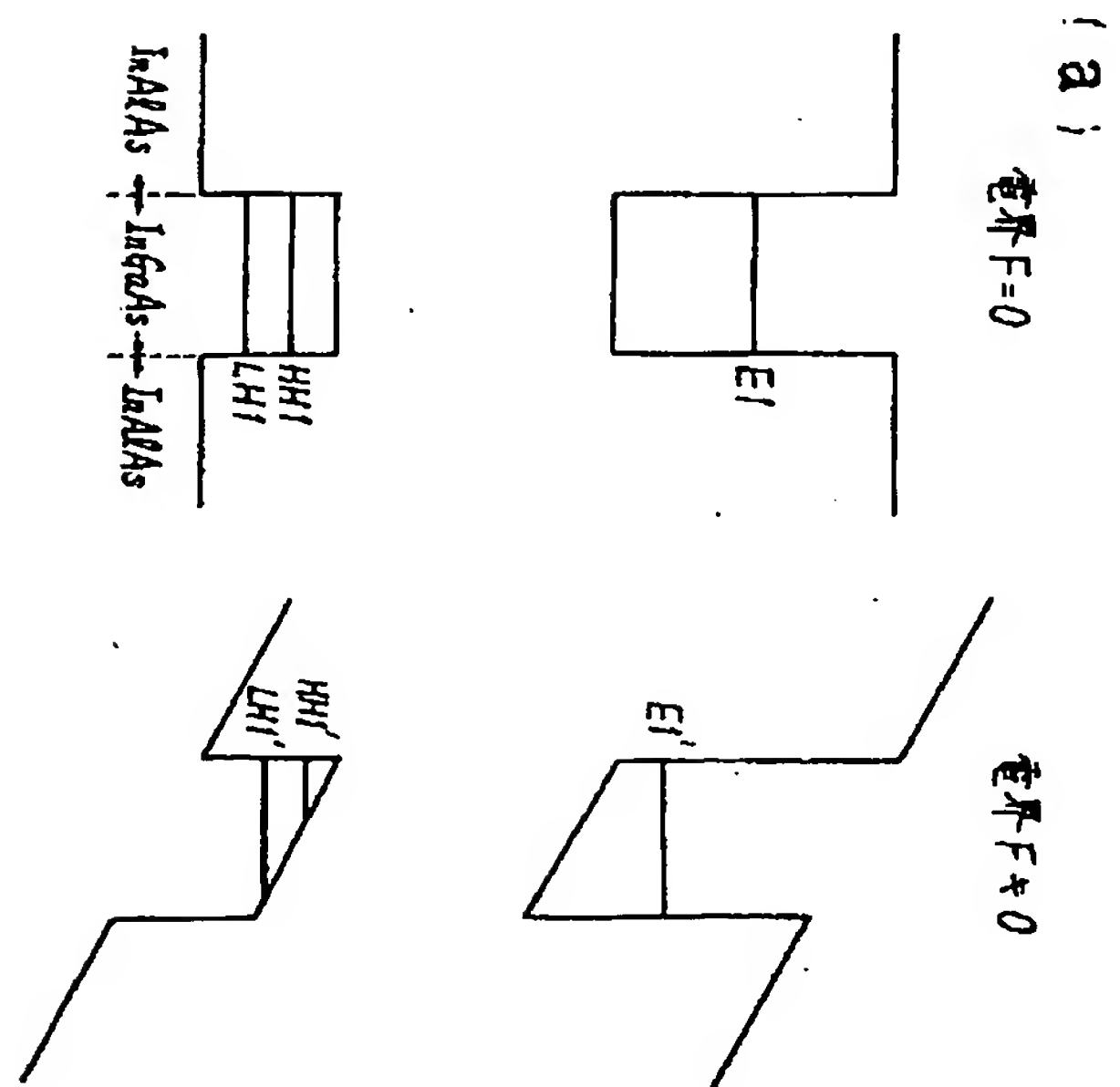
第10図



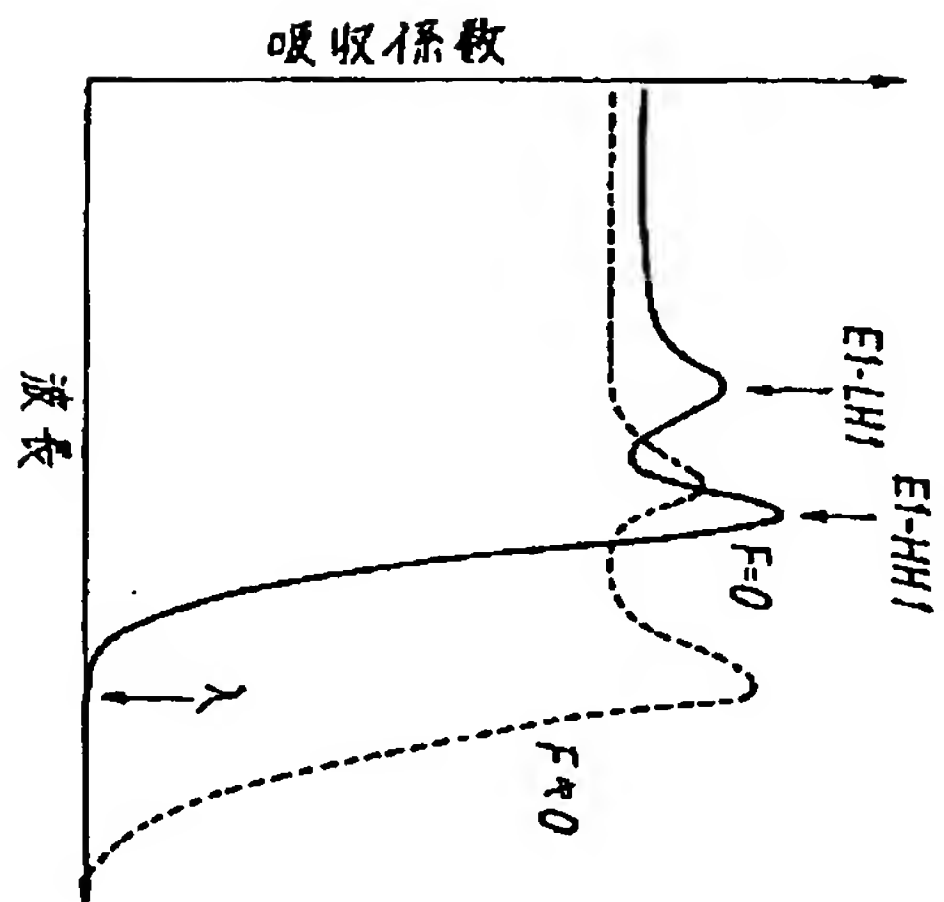
第12図



第11図



(b)



第 1 頁の続き

④発 明 者 三 富 修

東京都千代田区内幸町 1 丁目 1 番 6 号 日本電信電話株式
会社内

④発 明 者 河 野 健 治

東京都千代田区内幸町 1 丁目 1 番 6 号 日本電信電話株式
会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.